

Docket No.: 60188-065

PATENT

#3
J1040 U.S. PRO
09/838181
04/20/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hirofaka ITO, et al.

Serial No.:

Group Art Unit:

Filed: April 20, 2001

Examiner:

For: PACKET TRANSMISSION/RECEPTION PROCESSOR

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-124867, filed April 25, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: April 20, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

60188-065
H. ITGETAL.
April 202001
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月25日

出 願 番 号

Application Number:

特願2000-124867

出 願 人

Applicant(s):

松下電器産業株式会社

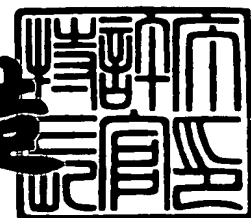
J1040 U.S. PTO
09/838181

04/20/01

2001年 1月26日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3000467

【書類名】 特許願

【整理番号】 2037820017

【提出日】 平成12年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 12/56

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 伊藤 裕隆

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 田平 由弘

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【手数料の表示】

 【予納台帳番号】 014409

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601026

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット送受信処理装置

【特許請求の範囲】

【請求項 1】 CPUに接続されたパケット送受信処理装置であって、外部からバスを介して供給されるパケットを受信するリンクコア回路と、前記リンクコア回路によって受信された受信パケットに対する処理を行い、前記受信パケットに対応する送信パケットを作成して前記リンクコア回路に供給するパケット処理制御回路とを備え、

前記リンクコア回路はさらに、前記パケット処理制御回路からの送信パケットを前記バスに送信することを特徴とするパケット送受信処理装置。

【請求項 2】 請求項 1 に記載のパケット送受信処理装置において、前記リンクコア回路によってパケットが受信されてからの時間を計測し、当該計測時間が予め定められた時間に達すると信号を発生するパケット処理制御タイマをさらに備え、

前記パケット処理制御回路は、前記パケット処理制御タイマからの信号に応答して前記受信パケットに対する処理を中断し、前記受信パケットに対応する送信パケットを生成した後、前記受信パケットに対する処理を再開することを特徴とするパケット送受信処理装置。

【請求項 3】 請求項 1 に記載のパケット送受信処理装置において、前記パケット処理制御回路は、前記受信パケットに対する処理を行っている間は、前記バスを介して外部から供給されるパケットを受け取ることを禁止するように前記リンクコア回路を制御することを特徴とするパケット送受信処理装置。

【請求項 4】 請求項 1 に記載のパケット送受信処理装置において、前記リンクコア回路によって受信された受信パケットの識別情報に基づいて当該受信パケットを処理すべきか否かを判断し、処理すべきと判断した受信パケットを前記パケット処理制御回路に供給するパケットフィルタ回路をさらに備える

ことを特徴とするパケット送受信処理装置。

【請求項 5】 請求項 4 に記載のパケット送受信処理装置において、
前記パケットフィルタ回路は、

前記受信パケットの識別情報、および前記パケット処理制御回路による前記受信パケットに対する処理の結果に基づいて、前記リンクコア回路が次に受信するであろうパケットのヘッダ情報を予測し、当該予測結果と前記リンクコア回路が次に受信したパケットのヘッダ情報とを比較し、この比較結果によって前記リンクコア回路が次に受信したパケットを保持するか否かを決定し、保持することに決定したパケットのみを前記パケット処理制御回路に供給することを特徴とするパケット送受信処理装置。

【請求項 6】 請求項 1 に記載のパケット送受信処理装置において、
前記パケット処理制御回路は、

パケットの送信からパケットの受信、または、パケットの受信からパケットの送信の一連のトランザクション制御をするトランザクション制御回路と、

パケットの自動分割、および、全てのトランザクション制御を行うパケットエンジン回路と、

パケットの識別情報を含んだヘッダを有し、データフィールドを含まないパケットの作成および送信制御を行うヘッダ制御回路と、

パケットの識別情報を含んだヘッダを有し、データフィールドを含むパケットの作成および送信制御を行うデータフィールド制御回路と、

受信したパケットのデータフィールド処理制御を行うデータ処理回路とを含むことを特徴とするパケット送受信処理装置。

【請求項 7】 請求項 6 に記載のパケット送受信処理装置において、

前記トランザクション制御回路は、送信パケットの作成から送信まで、または、パケットを受信してから当該受信パケットに対する処理が完了するまでの時間を管理し、前記 CPU に結果を出力するとともに、任意の時間で前記 CPU による送信パケットの作成から送信までの時間またはパケットの受信からパケットの処理時間の制御を行う

ことを特徴とするパケット送受信処理装置。

【請求項 8】 CPUに接続されたパケット送受信処理装置であって、送信パケットを生成するパケット処理制御回路と、

前記パケット処理制御回路によって生成された送信パケットをバスを介して外部に送信し、かつ、当該バスを介して外部から供給されるパケットを受信するリンクコア回路とを備え、

前記パケット処理制御回路はさらに、前記リンクコア回路によって受信された受信パケットの処理を行い、当該処理が終了した後、前記受信パケットに対応する送信パケットを作成して前記リンクコア回路に供給することを特徴とするパケット送受信処理装置。

【請求項 9】 請求項 8 に記載のパケット送受信処理装置において、

前記パケット処理制御回路からの送信パケットの識別情報に基づいて、前記リンクコア回路によって受信された受信パケットを処理すべきか否かを判断し、処理すべきと判断した受信パケットを前記パケット処理制御回路に供給するパケットフィルタ回路をさらに備える

ことを特徴とするパケット送受信処理装置。

【請求項 10】 CPUに接続されたパケット送受信処理装置であって、

外部からバスを介して供給されるパケットを受信するリンクコア回路と、

要求パケットを作成して前記リンクコア回路に供給し、かつ、前記リンクコア回路によって受信された受信パケットの処理を行い予め与えられた転送分が終了するまで連続して次の要求パケットを作成して前記リンクコア回路に供給するパケット処理制御回路とを備え、

前記リンクコア回路はさらに、前記パケット処理制御回路からのパケットを前記バスに送信する

ことを特徴とするパケット送受信処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パケット送受信処理装置に関し、さらに詳しくは、IEEE 1394 方式のデジタルインターフェイスを用いてパケット単位でデータを転送する

ための技術に関する。

【 0 0 0 2 】

【従来の技術】

デジタルデータの送受信を行う場合には、一般的にパケットを単位とした通信が利用される。パケットを単位とした通信を行うデジタルインターフェイスの一つに I E E E 1 3 9 4 インターフェイスがある。I E E E 1 3 9 4 インターフェイスは、アイ・トリプリー（I E E E）によって規格化が行われている次世代の高速シリアルインターフェイスである。

【 0 0 0 3 】

I E E E 1 3 9 4 インターフェイスでは、同期パケット通信（I s o c h r o n o u s 通信）、非同期パケット通信（A s y n c h r o n o u s 通信）の2種類の通信が行える。同期パケット通信は、例えば、デジタルビデオカメラ等のA V機器からのデータの転送のように、リアルタイム性が要求される場合に利用される。一方、非同期パケット通信は、例えば、パーソナルコンピュータやハードディスク等の外部記録装置からのデータ転送のように、リアルタイム性よりも信頼性が要求されるデータの転送に利用される。

【 0 0 0 4 】

I E E E 1 3 9 4 の非同期パケットには、動作を要求するための「要求パケット」と、要求パケットによって要求された動作の結果を知らせるための「応答パケット」とがある。いずれのパケットに対しても、パケットを受信した場合には、パケットの受信状態を示す認識情報（以下、「a c k」という。）を相手機器に返す。要求パケットに対して a c k によって処理が完了する場合を除いて、要求パケットおよび応答パケットは対にして使用される。要求パケットと応答パケットとによる通信をトランザクションと呼んでいる。

【 0 0 0 5 】

ここで、機器Aから機器Bに対して要求パケットを送信する場合の非同期通信のシーケンスを、図14を参照しつつ説明する。

【 0 0 0 6 】

まず、機器Aが機器Bに対して要求パケットを送信する。要求パケットを受信

した機器Bは、ackを機器Aに返す。この場合のackとしては、再送要求(ack_busy)、受信完了で処理中(ack_pending)、処理完了(ack_complete)等を示すことができる。ここでは、再送要求(ack_busy)を機器Aに返すものとする。

【0007】

ack(再送要求)を受信した機器Aは、機器Bに対して要求パケットを再送する。要求パケットを受信した機器Bは、ack(受信完了)を機器Aに返す。

【0008】

ack(受信完了)は、機器Bが要求パケットを処理中であることを示している。したがって、ack(受信完了)を受信した機器Aは、要求パケットに対応した応答パケットが機器Bから送信されるのを待つ。

【0009】

IEEE1394では、要求パケットと応答パケットとを用いた通信において、処理の中断を検出することができるようタイム・アウトが決められている。すなわち、要求パケットを送信し、処理中であることを示すack(受信完了)を受信してから一定時間経過しても応答パケットを受信しない場合には、何らかの異常により要求パケットによって要求された処理が中断されたと判断する。これによって、要求パケットを送信した機器は次の処理を行うことができる。

【0010】

逆に、要求パケットを受信した機器は、対応する応答パケットをこの一定時間内に送信する必要がある。一定の時間は、初期値として100msが設定されているが、それぞれの装置で任意に設定することができる。また、処理完了(ack_complete)を示しているときは、機器は次の処理を行うことができ、応答パケットの送信は行われない。

【0011】

IEEE1394での非同期パケット通信を利用したプロトコルの一つとして、Asynchronous Connectionが知られている。Asynchronous Connectionは、要求パケットを送信するノード(以下、「プロデューサ」という。)と、応答パケットを送信するノード(以下、

「コンシューマ」という。) との間の転送プロトコルであり、図 1 5 に示すようなシステムで構成されている。図 1 5 に示すシステムにおいては、コントローラ (例えば、セット・トップ・ボックス) は、コンシューマ (例えば、プリンタ) に対してコマンドを発行して、相互に接続 (以下、コネクション) する。接続プロトコルは以下に示す通りである。

【 0 0 1 2 】

まず、コントローラは、コンシューマの PCR (プラグ・コントロール・レジスタ) にリソースを割り当てる。コンシューマは割り当てたプラグアドレスをコントローラに送信する (1)。

【 0 0 1 3 】

次いで、コントローラは、コンシューマのプラグアドレスをプロデューサに与え、プロデューサを初期化する。プロデューサは、プラグアドレスをコントローラに送信する (2)。

【 0 0 1 4 】

次いで、コントローラは、プロデューサのプラグアドレスをコンシューマに送信する (3)。以上でコネクションは完了する。

【 0 0 1 5 】

コネクションが完了すると、図 1 6 に示すように、コンシューマは、プロデューサから送信されるデータを格納するためのメモリ (以下、セグメント・バッファ領域) を用意して、プロデューサに対して、Lock Request (以下、LRQ) を発行する。これに応答して、プロデューサは、Lock Response (LRS) を送信する (a)。

【 0 0 1 6 】

プロデューサは、送信側アプリケーションのメモリ内のアドレスの連続した領域のデータ (以下、セグメント・バッファ領域) を Block Write Request (BWRQ) パケットによって、コンシューマに送信する。IEEE 1394 では、送信パケットのデータフィールドの最大サイズが決められているので、セグメント・バッファ領域が最大サイズよりも大きいときは、分割して送信される。コンシューマは、受信完了でパケット処理中を示す ack (ack__p

ending) をプロデューサに送信し、受信したパケットのアドレスを認識して受信データを受信側アプリケーションのセグメント・バッファ領域に格納する。受信したパケットのデータフィールドをすべてセグメント・バッファ領域に格納した後、受信パケットに対する応答パケットである Write Response (WRS) をプロデューサに送信する。プロデューサは上記応答パケットを受信した後、処理完了を示す ack (ack_complete) をコンスーマに送信する (c)。以上のトランザクションを送信側のアプリケーションのセグメント・バッファ領域のデータの送信が完了するまで続ける。これらの処理全体をデータ転送処理とよぶ。

【 0 0 1 7 】

送信側アプリケーションのデータを全てコンスーマ側のアプリケーションに転送し終わったら、コンスーマに転送が終わったことを示す Lock Request (LRQ) を送信する。コンスーマは、Lock Response (LRS) を送信する (d)。このとき、送信側アプリケーションのセグメント・バッファ領域と受信側アプリケーションのセグメント・バッファ領域の先頭アドレスとサイズは同じである。また、プロデューサはセグメント・バッファ領域のデータを先頭から順番に送信してくるため、コンスーマは受信側アプリケーションのセグメント・バッファ領域に受信したパケットのデータフィールドを順番に格納する。

【 0 0 1 8 】

さらに、Asynchronous Connectionにおいては、図17に示すように、プロデューサは、データ転送処理中にコンスーマからの応答パケットを受信してから、次の要求パケットを2sec以内に送信できないのであれば、その状態を知らせる要求パケットを送信しなければならない(以下、この処理を「ハートビート処理」という。)(C)。

【 0 0 1 9 】

また、コンスーマは、応答パケットを送信してから5sec以内に次の要求パケットまたはハートビート処理に関するパケットを受信しないときは、タイムアウト処理に入ることになる。

【 0 0 2 0 】

以上のような処理を行う回路として、図 1 8 に示すような回路がある。

【 0 0 2 1 】

図 1 8 において、バス 1 2 a は、I E E E 1 3 9 4 シリアルバスであり、その他端は、他のシステム（ノード）に接続されている。レジスタ 3 1 は、バス 1 2 g を介して C P U に接続されている。

【 0 0 2 2 】

物理層コントローラ 1 3 は、バス 1 2 a の初期化、アービトレーション、バイアス電圧の制御等の機能を有している。

【 0 0 2 3 】

リンクコア回路 1 4 は、物理層コントローラ 1 3 を介して、バス 1 2 a からのパケットを受信する。また、リンクコア回路 1 4 は、受信したパケットに対して誤り検出符号の作成／検出、パケットへの符号の付加、コードの検出（例えば、a c k パケットのコード検出）などを行う。さらに、リンクコア回路 1 4 は、送信バッファ 3 6 からのパケットを、物理層コントローラ 1 3 を介してバス 1 2 a に出力する。さらに、リンクコア回路 1 4 は、パケットの転送に失敗した場合に、そのパケットの転送を再度試みるリトライ機能を有している。

【 0 0 2 4 】

送信パケットは、C P U からレジスタ 3 1 にヘッダ情報が書かれると、パケット送信回路 3 5 に送られ、パケットが作成され、送信バッファ 3 6 に格納される。また、パケット送信回路 3 5 は、パケット作成時に送信パケットの情報を受信制御回路 3 4 に与える。送信バッファ 3 6 は、パケット送信回路 3 5 からパケットが書き込まれると、これをリンクコア回路 1 4 に送る。リンクコア回路 1 4 は、物理層コントローラ 1 3 を介して、パケットを送信する。

【 0 0 2 5 】

一方、受信制御回路 3 4 は、リンクコア回路 1 4 からパケットを受け取り、そのパケットのヘッダフィールドの内容を解析する。また、受信制御回路 3 4 は、送信パケットに対する受信パケットを正確に認識するために、パケット送信回路 3 5 から送信パケット情報を入手し、受信パケットのヘッダ情報と比較、解析す

ることでパケットを受信するかを判定する。そして、受信パケットが送信パケットに対するものでないときは受信しないようにリンクコア 1 4 を制御する。

【 0 0 2 6 】

パケット受信回路 3 3 は、受信制御回路 3 4 からの受信パケットを制御してパケット受信バッファ 3 2 に格納する。パケット受信バッファ 3 2 に格納されたパケットは、レジスタ 3 1 を介して、CPU によって読み出すことができる。

【 0 0 2 7 】

【発明が解決しようとする課題】

IEEE 1 3 9 4 では、要求パケットと応答パケットを用いた通信において、処理の中断を検出することができるようにタイム・アウトが決められている。

【 0 0 2 8 】

一方、Asynchronous Connection においては、コンシューマ側のアプリケーションが、受信したパケットのデータを、IEEE 1 3 9 4 で規定されている時間内にセグメント・バッファに格納することができなかったときには、コンシューマは受信パケットに対する応答パケットを送信することができない。したがって、プロデューサはタイム・アウトを生じることになる。

【 0 0 2 9 】

ところが、Asynchronous Connection においては、タイム・アウトによるプロデューサの処理の終了は規定されていない。このため、プロトコルのシステムが確立できない可能性がある。さらに、受信パケットの処理完了を示すack（受信完了）を転送すると次のトランザクションが開始されるため、トランザクションの制御および受信パケットの処理が複雑になり、システムの確立が困難になる。

【 0 0 3 0 】

また、Asynchronous Connection では、プロデューサは、コンシューマからの応答パケットを受信してから、次の要求パケットを2sec以内に送信できないのであれば、状態を知らせるためにハートビート処理をする必要がある。一方、コンシューマは、応答パケットを送信してから5sec以内に次の要求パケットまたはハートビート処理に関するパケットを受信しないとき

は、タイム・アウト処理に入ることになる。このように、IEEE 1394での要求パケットと応答パケットを用いた通信に利用されている時間管理とは、別の時間管理が必要である。

【0031】

また、任意の時間にハートビート処理に関するパケットを送受信できるためには、プロデューサ側では、送信パケットの作成・送信に関する処理再開、処理中、処理停止等の時間制御が、コンシューマ側では、受信パケットの処理に関する処理再開、処理中、処理停止等の時間制御が必要である。

【0032】

Asynchronous Connectionでは、以上のような機能を有してパケットの送受信ができるパケット送受信処理装置が望まれている。

【0033】

【課題を解決するための手段】

この発明の1つの局面に従うと、パケット送受信処理装置は、CPUに接続されたパケット送受信処理装置であって、リンクコア回路と、パケット処理制御回路とを備える。リンクコア回路は、外部からバスを介して供給されるパケットを受信する。リンクコア回路は、また、パケット処理制御回路からの送信パケットをバスに送信する。パケット処理制御回路は、リンクコア回路によって受信された受信パケットに対する処理を行い、受信パケットに対応する送信パケットを作成してリンクコア回路に供給する。

【0034】

上記パケット送受信処理装置においては、CPUがトランザクションの処理に関与することがない。したがって、コンシューマ時のトランザクション処理におけるCPUの負荷を軽減でき、処理の高速化を実現できる。

【0035】

好ましくは、上記パケット送受信処理装置はさらに、パケット処理制御タイマを備える。パケット処理制御タイマは、リンクコア回路によってパケットが受信されてからの時間を計測し、当該計測時間が予め定められた時間に達すると信号を発生する。上記パケット処理制御回路は、パケット処理制御タイマからの信号

に応答して受信パケットに対する処理を中断し、受信パケットに対応する送信パケットを生成した後、受信パケットに対する処理を再開する。

【 0 0 3 6 】

上記パケット送受信処理装置によれば、送信側にトランザクションのタイムアウトを生じさせずに処理を続けることができる。

【 0 0 3 7 】

好ましくは、上記パケット処理制御回路は、受信パケットに対する処理を行っている間は、バスを介して外部から供給されるパケットを受け取ることを禁止するようにリンクコア回路を制御する。

【 0 0 3 8 】

上記パケット送受信処理装置においては、トランザクション終了まで、次の要求パケットを受け付けないため、トランザクション処理が簡潔になり、シーケンスを簡略化することが可能となる。

【 0 0 3 9 】

好ましくは、上記パケット送受信処理装置はさらに、パケットフィルタ回路を備える。パケットフィルタ回路は、リンクコア回路によって受信された受信パケットの識別情報に基づいて当該受信パケットを処理すべきか否かを判断し、処理すべきと判断した受信パケットをパケット処理制御回路に供給する。

【 0 0 4 0 】

好ましくは、上記パケットフィルタ回路は、受信パケットの識別情報、およびパケット処理制御回路による受信パケットに対する処理の結果に基づいて、リンクコア回路が次に受信するであろうパケットのヘッダ情報を予測し、当該予測結果とリンクコア回路が次に受信したパケットのヘッダ情報とを比較し、この比較結果によってリンクコア回路が次に受信したパケットを保持するか否かを決定し、保持することに決定したパケットのみをパケット処理制御回路に供給する。

【 0 0 4 1 】

上記パケット送受信処理装置によれば、必要な受信パケット、および受信データの連続性を制御することができ、さらに受信パケットに対する適切な送信パケットを作成、送信することが可能となり、必要な複数のトランザクションの処理

を実現できる。

【 0 0 4 2 】

好ましくは、上記パケット処理制御回路は、トランザクション制御回路と、パケットエンジン回路と、ヘッダ制御回路と、データフィールド制御回路と、データ処理回路とを含む。トランザクション制御回路は、パケットの送信からパケットの受信、または、パケットの受信からパケットの送信の一連のトランザクション制御をする。パケットエンジン回路は、パケットの自動分割、および、全てのトランザクション制御を行う。ヘッダ制御回路は、パケットの識別情報を含んだヘッダを有し、データフィールドを含まないパケットの作成および送信制御を行う。データフィールド制御回路は、パケットの識別情報を含んだヘッダを有し、データフィールドを含むパケットの作成および送信制御を行う。データ処理回路は、受信したパケットのデータフィールド処理制御を行う。

【 0 0 4 3 】

上記パケット送受信処理装置によれば、受信パケットからパケット処理、送信パケットに至るトランザクション処理および、送信パケットから受信パケットの処理に至るトランザクション処理を効率的に行うことができる。

【 0 0 4 4 】

好ましくは、上記トランザクション制御回路は、送信パケットの作成から送信まで、または、パケットを受信してから当該受信パケットに対する処理が完了するまでの時間を管理し、CPUに結果を出力するとともに、任意の時間でCPUによる送信パケットの作成から送信までの時間またはパケットの受信からパケットの処理時間の制御を行う。

【 0 0 4 5 】

上記パケット送受信処理装置によれば、送信パケット作成中、または受信パケット処理中にハートビート等の任意の時間でのパケット処理をすることを可能にすることができる。

【 0 0 4 6 】

この発明のもう1つの局面に従うと、パケット送受信処理装置は、CPUに接続されたパケット送受信処理装置であって、パケット処理制御回路と、リンクコ

ア回路とを備える。パケット処理制御回路は、送信パケットを生成する。パケット処理制御回路は、また、リンクコア回路によって受信された受信パケットの処理を行い、当該受信パケットに対応するパケットを作成してリンクコア回路に供給する。リンクコア回路は、パケット処理制御回路によって生成されたパケットをバスを介して外部に送信し、かつ、当該バスを介して外部から供給されるパケットを受信する。

【 0 0 4 7 】

上記パケット送受信処理装置においては、プロデューサ時のトランザクション処理にCPUが関与することがない。したがって、CPUの負荷を低減し、処理の高速化を実現できる。

【 0 0 4 8 】

好ましくは、上記パケット送受信処理装置はさらに、パケットフィルタ回路を備える。パケットフィルタ回路は、パケット処理制御回路からの送信パケットの識別情報に基づいて、リンクコア回路によって受信された受信パケットを処理すべきか否かを判断し、処理すべきと判断した受信パケットをパケット処理制御回路に供給する。

【 0 0 4 9 】

上記パケット送受信処理装置によれば、必要な受信パケット、および受信データの連続性を制御することができ、さらに受信パケットに対する適切な送信パケットを作成、送信することが可能となり、必要な複数のトランザクションの処理を実現できる。

【 0 0 5 0 】

この発明のさらにもう1つの局面に従うと、パケット送受信処理装置は、CPUに接続されたパケット送受信処理装置であって、リンクコア回路と、パケット処理制御回路とを備える。リンクコア回路は、外部からバスを介して供給されるパケットを受信する。リンクコア回路はさらに、パケット処理制御回路からのパケットを前記バスに送信する。パケット処理制御回路は、要求パケットを作成してリンクコア回路に供給する。パケット処理制御回路は、また、リンクコア回路によって受信された受信パケットの処理を行い予め与えられた転送分が終了する

まで連続して次の要求パケットを作成してリンクコア回路に供給する。

【 0 0 5 1 】

上記パケット送受信処理装置は、プロデューサに対してもコンシューマに対しても利用できるようにするため、それぞれに必要とされる機能を別回路にすることなく共有化している。これにより、回路規模を小さくすることが可能となる。

【 0 0 5 2 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

〔パケット送受信処理装置〕

図 1 は、この発明の実施の形態によるパケット送受信処理装置の構成を示すブロック図である。図 1 を参照して、このパケット送受信処理装置 1 は、バス B 1 を介して、別の 1 3 9 4 システム機器（図示せず）に接続されている。バス B 1 は、I E E E 1 3 9 4 シリアルバスである。また、パケット送受信処理装置 1 は、バス B 3 を介して C P U （図示せず）に接続され、DMA バス B 2 a, B 2 b を介して DMA コントローラ（図示せず）に接続される。

【 0 0 5 3 】

そして、パケット送受信処理装置 1 は、物理層コントローラ 1 3 と、リンクコア回路 1 4 と、パケットフィルタ回路 1 5 と、送受信バッファ 1 6 と、送信バッファ 1 7 と、パケット受信バッファ 1 8 と、送信フィルタ 1 9 と、パケット処理制御回路 2 0 と、レジスタ 2 1 と、パケット処理制御タイマ 2 2 と、パケット受信回路 2 3 とを備える。

【 0 0 5 4 】

物理層コントローラ 1 3 は、バス B 1 の初期化、アービトレーション、バイアス電圧の制御などを行う。リンクコア回路 1 4 は、物理層コントローラ 1 3 を介して、バス B 1 からのパケットを受信する。また、リンクコア回路 1 4 は、受信したパケットに対して誤り検出符号の作成／検出、パケットへの符号の付加、コードの検出（例えば、a c k パケットのコード検出）などを行う。さらに、リンクコア回路 1 4 は、物理層コントローラ 1 3 を介して、パケットをバス B 1 に出

力する。さらに、リンクコア回路 1 4 は、パケットの転送に失敗した場合に、そのパケットの転送を再度試みるリトライ機能を有する。

【 0 0 5 5 】

パケットフィルタ回路 1 5 は、リンクコア回路 1 4 からパケットを受け取り、そのパケットのヘッダフィールドの内容を解析する。そして、解析結果に応じて、そのパケットをパケット受信バッファ 1 8 に格納するか、送受信バッファ 1 6 に格納するかを選択する。また、解析結果に応じて、パケット処理制御回路 2 0 に制御信号 C T 1 を出力する。

【 0 0 5 6 】

パケット受信回路 2 3 は、パケットフィルタ回路 1 5 からの受信パケットを制御してパケット受信バッファ 1 8 に格納する。パケット受信バッファ 1 8 には、プロトコル処理に関係しないパケットが格納される。パケット受信バッファ 1 8 に格納されたパケットは、レジスタ 2 1 からバス B 3 を介して、C P U によって読み出すことができる。

【 0 0 5 7 】

パケット処理制御回路 2 0 は、パケットフィルタ回路 1 5 からの制御信号 C T 1 に応答して、受信パケットの処理を行う。受信パケットの処理としては、例えば、受信パケットのデータをバス B 2 a を介して D M A コントローラに送られる受信パケットに対する応答パケットの作成、送信、トランザクションの制御などがある。また、パケット処理制御回路 2 0 は、パケット送受信装置 1 が要求パケットを送信するプロデューサである場合には、D M A コントローラによって読み出され、バス B 2 b を介して供給されたデータを複数のパケットに分割し、その複数のパケットを送受信バッファ 1 6 を介してリンクコア回路 1 4 に出力する。複数のパケットは、リンクコア回路 1 4 によってバス B 1 に出力される。

【 0 0 5 8 】

送信フィルタ 1 9 は、レジスタ 2 1 からのパケット P K 1 とパケット処理制御回路 2 0 からのパケット P K 2 とを送信バッファ 1 7 に選択的に格納する。送信バッファ 1 7 に格納されたパケットは、リンクコア回路 1 4 に送られ、リンクコア回路 1 4 によってバス B 1 に出力される。

【0059】

レジスタ21には、Ackコントロール変数21a、tcode変数21b、tl変数21c、source_ID変数21d、セグメント・バッファ・アドレス変数21eなどが格納される。

【0060】

tcode変数21bは、パケットの種類を示すコードである。パケットの種類としては、例えば、QRRQ (Quadlet Read Request)、BRRQ (Block Read Request)、BWRQ (Block Write Request)、WRS (Write Response) などがある。tl変数21cは、トランザクションを識別するためのコードである。tcode変数21bの値およびtl変数21cの値は、格納されるパケットに応じてレジスタ21内で更新される。source_ID変数21dは、プロデューサのノード番号を示すコードである。セグメント・バッファ・アドレス変数21eは、コンシューマのセグメント・バッファ領域の現在のアドレスを示す。すなわち、受信パケットでの期待されるdestination_offsetアドレスの値を示す。セグメント・バッファ・アドレス変数21eは、コンシューマのセグメント・バッファ・アドレスにデータがすべて格納されるとレジスタ21内で更新される。

【0061】

パケット処理制御タイマ22は、パケット処理制御回路20からの制御信号CT2bに応答して時間の計測を開始し、計測時間が所定の時間に達すると制御信号CT2aをパケット処理制御回路20に出力する。具体的には、パケット送受信装置1が要求パケットを送信するプロデューサである場合には、パケット処理制御回路20がBWRQパケットの作成を開始してからの時間を計測する。そして、計測時間が予め設定された時間に達すると、レジスタ21を介してCPUへ知らせる。これに対するCPUからの命令に応答して制御信号CT2aをパケット処理制御回路20に出力する。また、パケット送受信装置1が要求パケットを受信するコンシューマである場合には、パケットの受信から受信完了までの処理時間、および、トランザクション終了から次のトランザクション開始までの時間を

計測する。

【0062】

図2は、図1に示したパケット処理制御回路20の内部構成を示すブロック図である。図2を参照して、パケット処理制御回路20は、パケットエンジン回路50と、トランザクション制御回路51と、ヘッダ制御回路52と、データフィールド制御回路53と、データ処理回路54とを含む。

【0063】

パケットエンジン回路50は、パケットの自動分割、および全てのトランザクション制御を行う。トランザクション制御回路51は、パケットの送信からパケットの受信あるいはパケットの受信からパケットの送信の一連のトランザクション制御をする。ヘッダ制御回路52は、パケットの識別情報を含んだヘッダを有し、データフィールドを含まないパケットの作成および送信制御を行う。データフィールド制御回路53は、パケットの識別情報を含んだヘッダを有し、データフィールドを含むパケットの作成および送信制御を行う。データ処理回路54は、受信したパケットのデータフィールド処理制御を行う。

【0064】

次に、バスB1から受信されるパケットのフォーマットを、図3～図7に示す。図中、斜線の領域はリザーブ領域を示す。具体的には、図3～図7は、それぞれ、BWRQ (Block Write Request) パケット、QWRQ (Quadlet Write Request) パケット、WRS (Write Response) パケット、BRRQ (Block Read Request) パケット、BRRS (Block Read Response) パケットのフォーマットを示す。

【0065】

なお、バスB1に出力されるパケットのフォーマットも図3～図7に示されるフォーマットと同一である。

【0066】

また、リンクコア回路14に書き込む際のパケットのフォーマットを、図8～図12に示す。すなわち、図1に示した送信バッファ17、送受信バッファ16

およびパケット処理制御回路 2 0 は、いずれも、図 8 - 図 1 2 に示されるフォーマットでパケットをリンクコア回路 1 4 に書き込む。なお、図 3 - 図 7 に示したフォーマットは、それぞれ、図 8 - 図 1 2 に示したフォーマットに対応する。

【 0 0 6 7 】

リンクコア回路 1 4 は、パケットをバス B 1 に出力する際には、header_CRC や data_CRC などのチェックコードを計算し、その計算結果を示すフィールドを図 8 - 図 1 2 に示したフォーマットのパケットに追加する。このようにして、リンクコア回路 1 4 によって、図 3 - 図 7 に示されるフォーマットのパケットが作成される。

【 0 0 6 8 】

また、リンクコア回路 1 4 は、パケットをバス B 1 から受信した際には、図 3 - 図 7 に示されるフォーマットに含まれる header_CRC 領域や data_CRC 領域を参照することにより、CRC による誤り検出を行う。

〔パケット通信システム〕

次に、以上のように構成されたパケット送受信処理装置を用いたパケット通信システムについて説明する。

【 0 0 6 9 】

図 1 3 は、図 1 に示したパケット送受信処理装置を用いたパケット通信システムの構成を示すブロック図である。図 1 3 を参照して、このシステムでは、プロデューサとして DVC (デジタルビデオカメラ) 3 0 0 を、コンシューマとしてプリンタ 2 0 0 を備える。

【 0 0 7 0 】

DVC 3 0 0 は、パケット送受信処理装置 3 と、メモリ 4 0 と、伸長回路 4 1 と、画像処理部 4 2 と、D/A 変換器 4 3 と、EVF (Electric View Finder) 4 4 とを含む。

【 0 0 7 1 】

パケット送受信処理装置 3 は、図 1 に示したパケット送受信処理装置と同様の構成を有する。メモリ 4 0 には、DVC 3 0 0 によって撮影された画像データが所定の高能率符号化方式によって圧縮されて格納されている。伸長回路 4 1 は、

メモリ 4 0 から読み出された圧縮画像データを伸長する。画像処理部 4 2 は、伸長回路 4 1 からの画像データに対して、E V F 4 4 で表示するために必要な画像処理を施す。D / A 変換器 4 3 は、画像処理部 4 2 によって画像処理が施された画像データをアナログ画像データに変換する。E V F 4 4 は、D / A 変換器 4 3 からのアナログ画像データを表示する。

【 0 0 7 2 】

メモリ 4 0 に格納されたデータは、E V F 4 4 に表示されるか、または、パケット送受信処理装置 3 からバス B 1 を介してプリンタ 2 0 0 に送られる。E V F 4 4 に表示する場合には、圧縮された画像データを伸張回路 4 1 によって伸張し、E V F 4 4 で表示するために必要な画像処理を画像処理部 4 2 にて行い、D / A コンバータ 4 3 を経て E V F 4 4 に表示する。

【 0 0 7 3 】

プリンタ 2 0 0 は、パケット送受信処理装置 2 と、メモリ 2 6 と、プリンタコントローラ 2 7 と、ドライバ 2 8 と、プリンタヘッド 2 9 とを含む。

【 0 0 7 4 】

パケット送受信処理装置 2 は、図 1 に示したパケット送受信処理装置と同様の構成を有する。メモリ 2 6 には、パケット送受信処理装置 2 からのデータが記録される。プリンタコントローラ 2 7 は、パケット送受信処理装置 2 からメモリ 2 6 へのデータの記録を制御する。また、プリンタコントローラ 2 7 は、プリンタヘッド 2 9 およびドライバ 2 8 を制御して、メモリ 2 6 に記録された画像データをプリントする。

【 0 0 7 5 】

なお、I E E E 1 3 9 4 方式に従ってデータを転送する場合には、その転送速度によりパケットの転送可能な最大ペイロードサイズが規定されているため、転送速度によりパケットのデータフィールドの最大サイズは規定されている。この実施の形態では、S 4 0 0 (4 0 0 M b i t / s e c) とし、1 パケットでの転送可能なデータ長は 2 0 4 8 バイトである。

【 0 0 7 6 】

次に、以上のように構成されたパケット通信システムの動作について説明する

。ここでは、DVC300から8kbyteのデータをプリンタ200に転送する場合について説明する。なお、説明の便宜のため、タイムアウトが生じない場合、コンシューマ（プリンタ200）側にタイムアウトが生じた場合、プロデューサ（DVC300）側にタイムアウトが生じた場合、に分けて説明する。

＜タイムアウトが生じない場合＞

まず、プロデューサであるDVC300において、BWRQパケットを作成するために、メモリ40からのデータ（2kbyte）がパケット送受信処理装置3内のパケット処理制御回路20（図1）に送られる。パケット処理制御回路20において作成されたBWRQパケットは、送受信バッファ16（図1）からリンクコア回路14（図1）、物理層コントローラ13（図1）を介してバスB1から送信される。

【0077】

次いで、コンシューマであるプリンタ200において、バスB1を介して受信したパケット（BWRQ）は、パケット送受信処理装置2内の物理層コントローラ13（図1）からリンクコア回路14（図1）を介してパケットフィルタ回路15（図1）に入力される。

【0078】

パケットフィルタ回路15（図1）は、レジスタ21（図1）に格納されたtcode変数21b、source_ID変数21d、およびセグメント・バッファ・アドレス変数21eの値を参照する。そして、受信したパケット（BWRQ）に含まれるtcode領域の値、source_ID領域の値、destination_offset領域の値と、レジスタ21（図1）に格納されたtcode変数21b、source_ID変数21d、およびセグメント・バッファ・アドレス変数21eの値とを比較することによって、受信したパケット（BWRQ）が実行中のデータ転送処理シーケンスに関連するものであるかどうかを判定する。判定の結果、データ転送処理シーケンスに関連していれば、送受信バッファ16（図1）に格納し、制御信号CT1をパケット処理制御回路20（図1）に与える。関連していなければ、パケット受信バッファ18に格納する。ここでは、送受信バッファ16（図1）に格納する。なお、セグメント・バッファ

ァ・アドレス変数 2 1 e は格納されるパケットによってレジスタ 2 1 内で更新される。

【0079】

そして、パケット処理制御回路 2 0 (図 1) は、パケットフィルタ回路 1 5 (図 1) からの制御信号 C T 1 に応答して、レジスタ 2 1 (図 1) 内の A c k コントロール変数 2 1 a (図 1) の値を “A c k _ b u s y” に設定する。これ以降、リンクコア回路 1 4 は、A c k コントロール変数 2 1 a の値 “A c k _ b u s y” を参照して、バス B 1 からパケットを受信することなく、そのパケットに対して、“A c k _ b u s y” の値を有する A c k パケットを返す。

【0080】

受信したパケット (B W R Q) は、パケットフィルタ回路 1 5 (図 1) から送受信バッファ 1 6 (図 1) を介してパケット処理制御回路 2 0 (図 1) に入力される。パケット処理制御回路 2 0 (図 1) で処理されたデータは、バス B 2 a (図 1) を介してメモリ 2 6 に格納される。

【0081】

メモリ 2 6 にデータを格納した後、パケット処理制御回路 2 0 (図 1) は、レジスタ 2 1 の s o u r c e _ I D 変数 2 1 d, t 1 変数 2 1 c を参照して、W R S パケットのヘッダとデータとを生成する。W R S パケットは、送信フィルタ 1 9 (図 1) に入力される。そして、送信フィルタ 1 9 (図 1) から送信バッファ 1 7 (図 1)、リンクコア回路 1 4 (図 1)、物理層コントローラ 1 3 (図 1) を介して、バス B 1 から送信される。

【0082】

次いで、プロデューサである D V C 3 0 0 において、バス B 1 を介してパケット送受信処理装置 3 に入力された受信パケット (W R S パケット) は、物理層コントローラ 1 3 (図 1)、リンクコア回路 1 4 (図 1) を通してパケットフィルタ回路 1 5 に入力される。

【0083】

パケットフィルタ回路 1 5 は、レジスタ 2 1 に格納された t c o d e 変数 2 1 b および t 1 変数 2 1 c の値を参照する。そして、受信したパケット (W R S パ

ケット)に含まれる `t c o d e` 領域の値および `t 1` 領域の値と、レジスタ 21 に格納された `t c o d e` 変数 21 b および `t 1` 変数 21 c の値とを比較することによって、受信したパケット (WRS パケット) が実行中のデータ転送処理シーケンスに関連するものであるかどうかを判定する。判定の結果、データ転送処理シーケンスに関連していれば、制御信号 `C T 1` をパケット処理制御回路 20 (図 1) に与える。関連していなければ、パケット受信バッファ 18 に格納する。

【0084】

そして、パケット処理制御回路 20 (図 1) は、この WRS パケットに対する応答として、“`A c k _ c o m p l e t e`” の値を有する `a c k` パケットを作成し、バス B 1 に送信する。

【0085】

次いで、コンシューマであるプリンタ 200 において、パケット送受信処理装置 2 内のパケットフィルタ回路 15 (図 1) は、バス B 1 を介して受信された `a c k` パケットの内容を解析し、その結果をレジスタ 21 (図 1) に出力するとともに、制御信号 `C T 1` をパケット処理制御回路 20 (図 1) に出力する。この制御信号 `C T 1` に応答して、パケット処理制御回路 20 (図 1) は、レジスタ 21 内の `A c k` コントロール変数 21 a の値を解除する。これにより、パケットの受信が可能となる。すなわち、パケット処理制御回路 20 は、制御信号 `C T 1` に応答してトランザクションを終了し、次のトランザクションを開始する。

【0086】

次いで、プロデューサである DVC 300 において、次のトランザクションを開始するために、BWRQ パケットが作成され、送信される。

【0087】

以上の処理を 4 回実行することによって、8 k b y t e のデータがコンシューマであるプリンタ 200 に送信される。

【0088】

以上のように、このパケット送受信処理装置を用いたパケット通信システムにおいては、トランザクションの管理に CPU は関与していない。したがって、トランザクション処理における CPU の負荷を軽減することができる。このことは

、 I E E E 1 3 9 4 に準拠した高速なデータ転送を実現するのに役立つ。

【 0 0 8 9 】

また、パケットフィルタ回路 1 5 は、データ転送処理シーケンスに関連しないパケットをフィルタリングするため、データ転送処理の実行が途中で中断されることがない。したがって、データ転送処理の実行途中で他のトランザクションに分岐するなどの余分な制御をする必要がなく、パケット処理制御回路 2 0 による処理制御が容易になる。これにより、パケット送受信処理装置 1 - 3 の構成を簡素化することができる。

<コンシューマ（プリンタ 2 0 0）側にタイムアウトが生じた場合>

プロデューサ（DVC 3 0 0）側のタイム・アウトは、1 0 0 m s に設定されている。コンシューマ（プリンタ 2 0 0）側のパケット送受信処理装置 2 におけるパケット処理制御タイマ 2 2 のタイムアウトは、9 0 m s に設定されている。

【 0 0 9 0 】

データ転送処理が開始されると、プロデューサである DVC 3 0 0 において、BWRQ パケットを作成するために、メモリ 4 0 からのデータ（2 k b y t e）がパケット送受信処理装置 3 内のパケット処理制御回路 2 0（図 1）に送られる。そして、パケット処理制御回路 2 0（図 1）で作成された送信パケット（BWRQ）は、送受信バッファ 1 6（図 1）からリンクコア回路 1 4（図 1）、物理層コントローラ 1 3（図 1）を通してバス B 1 から送信される。

【 0 0 9 1 】

次いで、コンシューマであるプリンタ 2 0 0 において、バス B 1 から受信したパケット（BWRQ）が、パケット送受信処理装置 2 内の物理層コントローラ 1 3（図 1）、リンクコア回路 1 4（図 1）を介してパケットフィルタ回路 1 5（図 1）に入力される。パケット処理制御回路 2 0（図 1）は、パケットフィルタ回路 1 5（図 1）からの制御信号 C T 1 に応答して、レジスタ 2 1（図 1）内の A c k コントロール変数 2 1 a（図 1）の値を“A c k _ b u s y”に設定する。また、制御信号 C T 1 に応答して、パケット処理制御回路 2 0（図 1）は、パケット処理制御タイマ 2 2 に対して制御信号 C T 2 b を出力する。この制御信号 C T 2 b に応答してパケット処理制御タイマ 2 2 が起動し、時間の計測を開始する。

。受信パケット（BWRQ）は、パケットフィルタ回路15（図1）から送受信バッファ16（図1）を介してパケット処理制御回路20（図1）に入力される。パケット処理制御回路20（図1）で処理されたデータは、メモリ26に格納される。

【0092】

ここで、パケット処理制御回路20（図1）が受信パケットを90ms以内に処理できなかった場合には、パケット処理制御タイマ22（図1）は、タイムアウトを検出してCPUに知らせる。CPUは、レジスタ21（図1）を介して、パケット処理制御回路20（図1）にパケット処理一時停止命令、およびパケット送信命令を送る。

【0093】

パケット処理制御回路20（図1）は、CPUからのパケット処理一時停止命令を受けて、現在処理しているパケット処理を一時中断する。さらに、送信命令を受けて、パケット処理制御回路20（図1）は、受信パケットの処理を一時停止した状態で、WRSパケットのヘッダとデータとを生成する。生成されたWRSパケットは、送信フィルタ19（図1）、送信バッファ17（図1）、リンクコア回路14（図1）、物理層コントローラ13（図1）を介してバスB1から送信される。

【0094】

次いで、プロデューサであるDVC300において、バスB1からパケット送受信処理装置3に入力された受信パケット（WRS）は、物理層コントローラ13（図1）、リンクコア回路14（図1）を通してパケットフィルタ回路15（図1）に入力される。そして、このWRSパケットに対する応答として、“Ack__complete”の値を有するackパケットをバスB1に送信する。

【0095】

次いで、コンシューマであるプリンタ200において、CPUはパケット処理再実行命令をパケット処理制御回路20（図1）に送る。これにより、一時停止していたパケットの処理が再開される。すなわち、パケット送受信処理装置2内のパケットフィルタ回路15（図1）は、受信されたackパケットの内容を解析

し、その結果をレジスタ 2 1（図 1）に出力するとともに、制御信号 C T 1 をパケット処理制御回路 2 0（図 1）に出力する。パケット処理制御回路 2 0（図 1）は、この制御信号 C T 1 に応答して、トランザクションを終了し、一時停止中の受信パケット処理を再実行する。

【 0 0 9 6 】

プロデューサである D V C 3 0 0 は、W R S パケットを受信することによって次のトランザクションを開始する。しかし、コンシューマであるプリンタ 2 0 0 は、パケット処理を再実行している間、レジスタ 2 1（図 1）内の A c k コントロール変数 2 1 a（図 1）の値を“A c k _ b u s y”に設定することによって、プロデューサからの要求パケットを受信しない処理を行う。そして、受信パケットの処理の再実行が終了すると、パケット処理制御回路 2 0 は、レジスタ 2 2 の A c k コントロール変数 2 1 a の値を解除し、要求パケットの受信を可能にする。コンシューマであるプリンタ 2 0 0 は、この時点から要求パケットを受信する。そして、さらに 3 回のトランザクション処理を行い、8 k b y t e のデータをメモリ 2 6 に格納して、転送が終了する。

【 0 0 9 7 】

以上のように、このパケット送受信処理装置においては、プロデューサ（D V C 3 0 0）に対してタイムアウトを生じさせることなくパケット処理を行うことができる。したがって、複数のトランザクションを制御する必要がなく、パケット処理制御回路 2 0、および処理シーケンスを簡素化することができる。

＜プロデューサ（D V C 3 0 0）側にタイムアウトが生じた場合＞

ここでは、D V C 3 0 0 におけるパケット処理制御タイマ 2 2 のタイムアウトは、2 s e c に設定されているものとする。

【 0 0 9 8 】

まず、プロデューサである D V C 3 0 0 において、B W R Q パケットを作成するために、メモリ 4 0 からデータ（2 k b y t e）がパケット処理制御回路 2 0（図 1）に送られる。パケット処理制御回路 2 0（図 1）は、送信パケット（B W R Q）の作成を開始するとともにパケット処理制御タイマ 2 2（図 1）に対して制御信号 C T 2 b を出力する。この制御信号 C T 2 b に応答して、パケット処

理制御タイマ 2 2（図 1）は時間の計測を開始する。

【 0 0 9 9 】

送信パケット（BWRQ）の作成を開始してから 2 s e c 経過しても送信パケットが（BWRQ）送信されない場合、パケット制御タイマ 2 2 は、タイム・アウトを検出してこれを CPU に知らせるとともに、パケット処理制御回路 2 0（図 1）に制御信号 CT 2 a を与える。この制御信号 CT 2 a に応答して、パケット処理制御回路 2 0（図 1）は、送信パケット（BWRQ）の作成を中断する。

【 0 1 0 0 】

予め設定した時間（2 s e c）を経過したので、CPU は、ハートビート処理を実行する。ハートビート処理が終了すると、CPU は、レジスタ 2 1 の所定のフィールドを設定する。これに応じて、パケット処理制御回路 2 0（図 1）は、送信パケット（BWRQ）の作成を再開する。

【 0 1 0 1 】

パケット処理制御回路 2 0（図 1）で作成された送信パケット（BWRQ）は、送受信バッファ 1 6（図 1）、リンクコア回路 1 4（図 1）、物理層コントローラ 1 3（図 1）を通してバス B 1 から送信される。

【 0 1 0 2 】

次いで、コンシューマであるプリンタ 2 0 0 において、バス B 1 から受信したパケット（BWRQ）が、パケット送受信処理装置 2 内の物理層コントローラ 1 3（図 1）、リンクコア回路 1 4（図 1）を介してパケットフィルタ回路 1 5（図 1）に入力される。

【 0 1 0 3 】

パケット処理制御回路 2 0（図 1）は、パケットフィルタ回路 1 5（図 1）からの制御信号 CT 1 に応答して、レジスタ 2 1（図 1）内の A c k コントロール変数 2 1 a（図 1）の値を“A c k _ b u s y”に設定する。受信されたパケット（BWRQ）は、パケットフィルタ回路 1 5（図 1）、送受信バッファ 1 6（図 1）を介してパケット処理制御回路 2 0（図 1）に入力される。パケット処理回路 2 0（図 1）で処理されたデータは、メモリ 2 6 に格納される。メモリ 2 6 にデータを格納した後、パケット処理制御回路 2 0（図 1）は、W R S パケット

のヘッダとデータとを生成する。生成されたWRSパケットは、送信フィルタ19（図1）、送信バッファ17（図1）、リンクコア回路14（図1）、物理層コントローラ13（図1）を介してバスB1から送信される。

【0104】

次いで、プロデューサであるDVC300において、バスB1からパケット送受信処理装置3に入力された受信パケット（WRS）が物理層コントローラ13（図1）、リンクコア回路14（図1）を通してパケットフィルタ回路15（図1）に入力される。そして、このWRSパケットに対する応答として、“Ack__complete”の値を有するackパケットをバスB1に送信する。

【0105】

次いで、コンシューマであるプリンタ200において、パケット送受信処理装置2内のパケットフィルタ回路15（図1）は、受信されたackパケットの内容を解析し、その結果をレジスタ21（図1）に出力するとともに、制御信号CT1をパケット処理制御回路20（図1）に出力する。パケット処理制御回路20（図1）は、レジスタ21（図1）内のAckコントロール変数21a（図1）の値を解除する。これにより、パケットの受信が可能となる。このように、パケット処理制御回路20（図1）は、制御信号CT1に応答してトランザクションを終了し、次のトランザクションを開始する。

【0106】

次いで、プロデューサであるDVC300において、次のトランザクションを開始するために、要求パケット（BWRQ）が作成され、送信される。

【0107】

以上の処理を4回実行することにより、8kbyteのデータが、コンシューマであるプリンタ200に送信される。

【0108】

以上のように、このパケット送受信処理装置においては、パケット作成からの時間管理をし、任意にパケットの作成、一時停止、再開ができるために、トランザクション実行中の任意の時間に別のトランザクション処理（ハートビート処理等）を行うことができる。

【 0 1 0 9 】

【発明の効果】

この発明によるパケット送受信処理装置では、パケットの送受信に関するトランザクションにCPUが関与することがないためデータ転送の高速化が図れる。

【 0 1 1 0 】

また、パケットの作成から送信まで、およびパケット受信から処理終了の時間管理およびパケット処理の一時停止、再開を任意に行うことができるので、トランザクション中の別のトランザクションを割り込ませることが容易にできる。

【 0 1 1 1 】

また、受信パケット処理中のパケット受信を制御することができるため、処理を簡潔にできる。

【 0 1 1 2 】

また、受信パケット処理中でも受信パケットに対する送信パケットを送信できるため、シーケンスの自由度を向上することができる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態によるパケット送受信処理装置の構成を示すブロック図である。

【図 2】

図 1 に示したパケット処理制御回路の構成を示すブロック図である。

【図 3】

図 1 に示したリンクコア回路からバスに出力される BWRQ (Block Write Request) パケットのフォーマットを示す図である。

【図 4】

図 1 に示したリンクコア回路からバスに出力される QWRQ (Quadlet Write Request) パケットのフォーマットを示す図である。

【図 5】

図 1 に示したリンクコア回路からバスに出力される WRS (Write Response) パケットのフォーマットを示す図である。

【図 6】

図 1 に示したリンクコア回路からバスに出力される BRRQ (Block Read Request) パケットのフォーマットを示す図である。

【図 7】

図 1 に示したリンクコア回路からバスに出力される BRRS (Block Read Response) パケットのフォーマットを示す図である。

【図 8】

図 1 に示したリンクコア回路に書き込まれる BWRQ (Block Write Request) パケットのフォーマットを示す図である。

【図 9】

図 1 に示したリンクコア回路に書き込まれる QWRQ (Quadlet Write Request) パケットのフォーマットを示す図である。

【図 10】

図 1 に示したリンクコア回路に書き込まれる WRS (Write Response) パケットのフォーマットを示す図である。

【図 11】

図 1 に示したリンクコア回路に書き込まれる BRRQ (Block Read Request) パケットのフォーマットを示す図である。

【図 12】

図 1 に示したリンクコア回路に書き込まれる BRRS (Block Read Response) パケットのフォーマットを示す図である。

【図 13】

図 1 に示したパケット送受信処理装置を用いたパケット通信システムの構成を示すブロック図である。

【図 14】

IEEE 1394 の非同期転送のシーケンスを示す図である。

【図 15】

Asynchronous Connection のシステムの構成を示す図である。

【図 1 6】

A s y n c h r o n o u s C o n n e c t i o n のシーケンスを示す図である。

【図 1 7】

A s y n c h r o n o u s C o n n e c t i o n のシーケンスを示す図である。

【図 1 8】

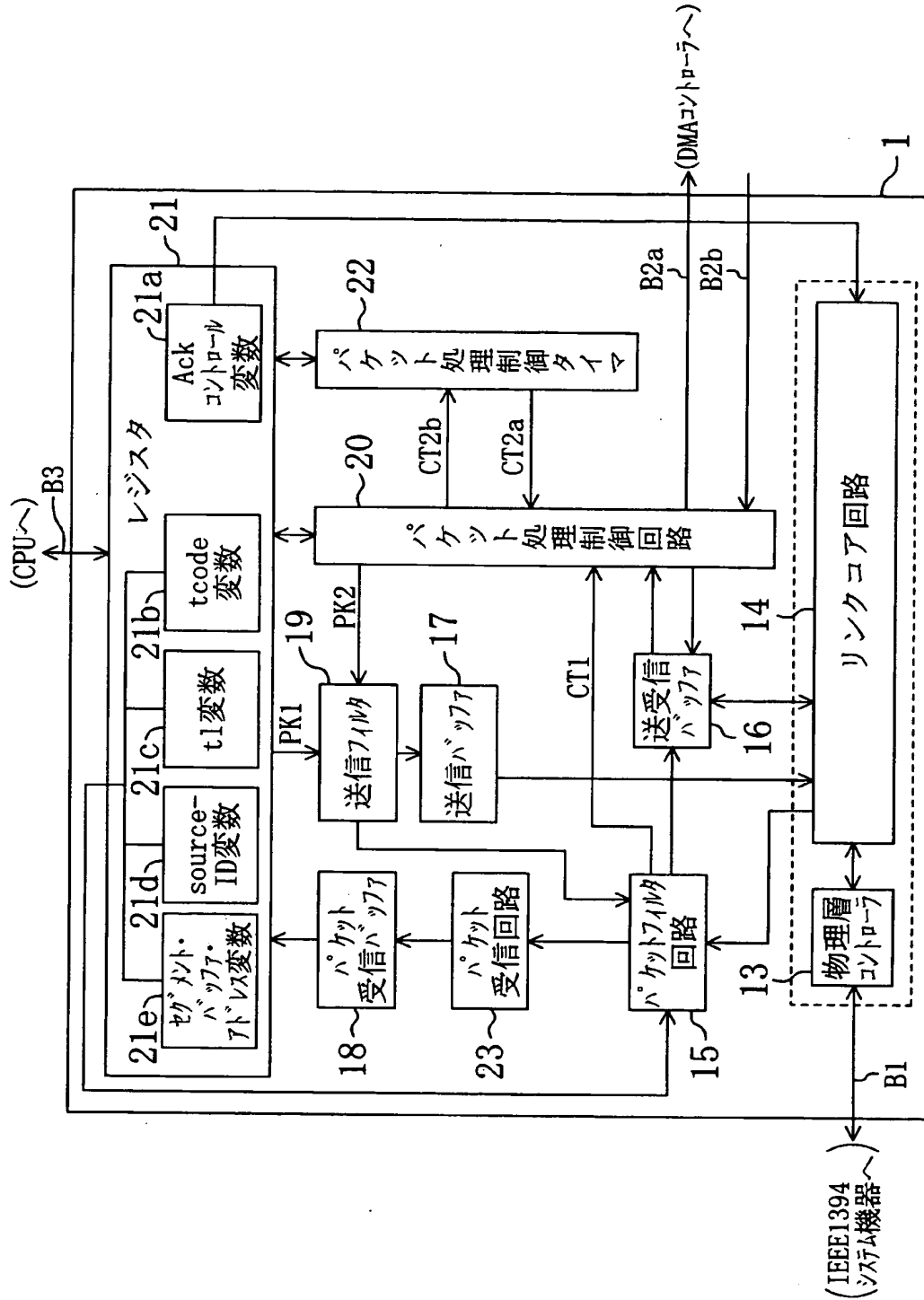
従来のパケット送受信処理装置の構成を示す図である。

【符号の説明】

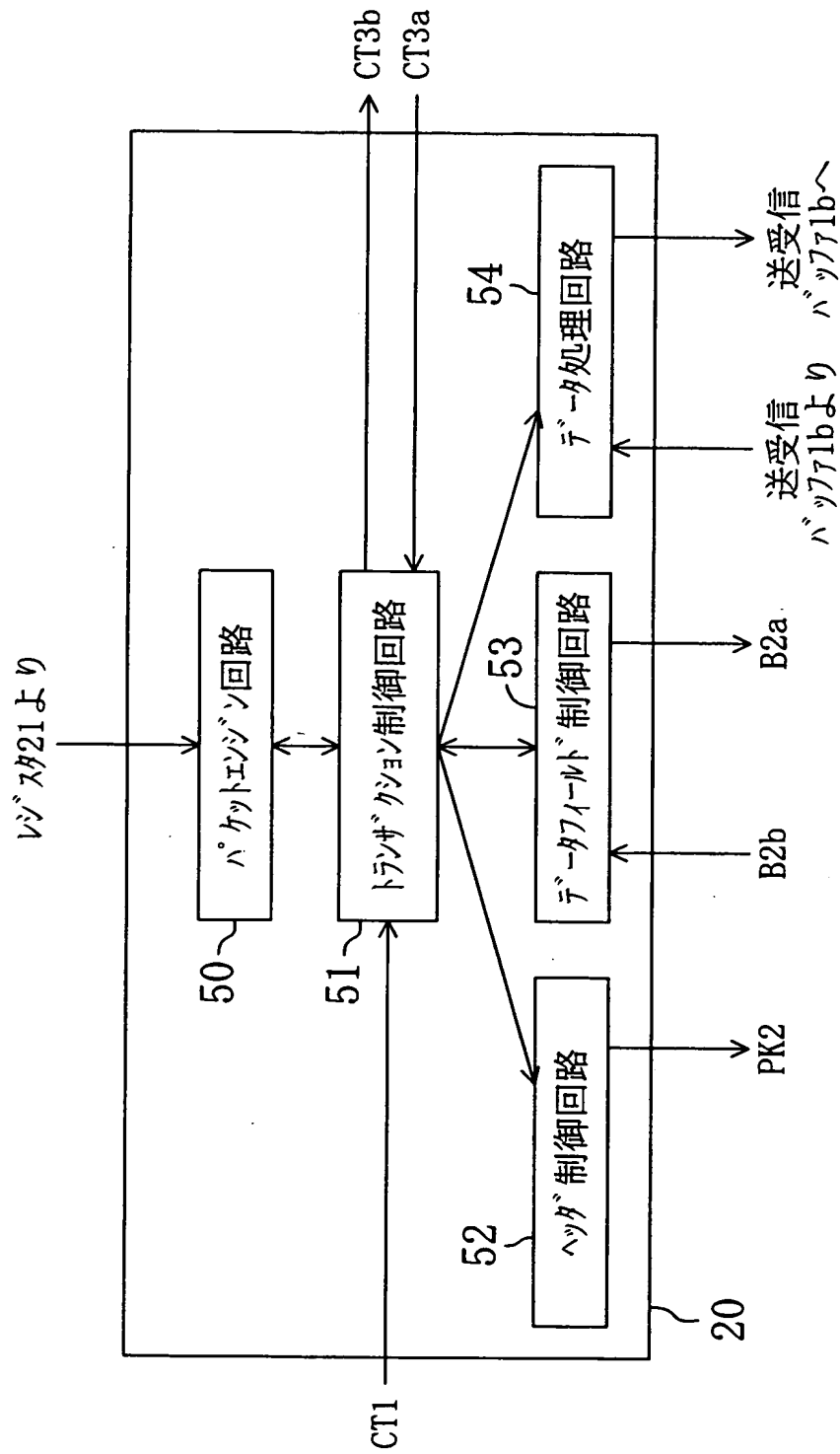
- 1 - 3 パケット送受信処理装置
- 1 3 物理層コントローラ
- 1 4 リンクコア回路
- 1 5 パケットフィルタ回路
- 1 6 送受信バッファ
- 1 7 送信バッファ
- 1 8 パケット受信バッファ
- 1 9 送信フィルタ
- 2 0 パケット処理制御回路
- 2 1 レジスタ
- 2 2 パケット処理制御タイマー

【書類名】 図面

【図 1】

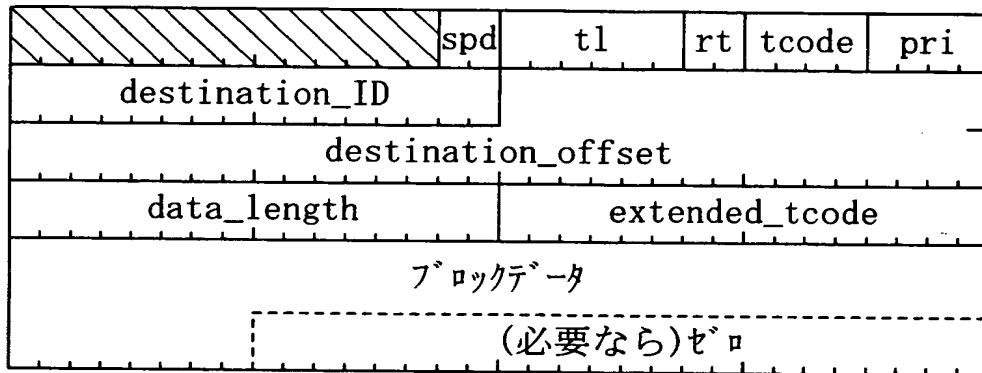


【図 2】



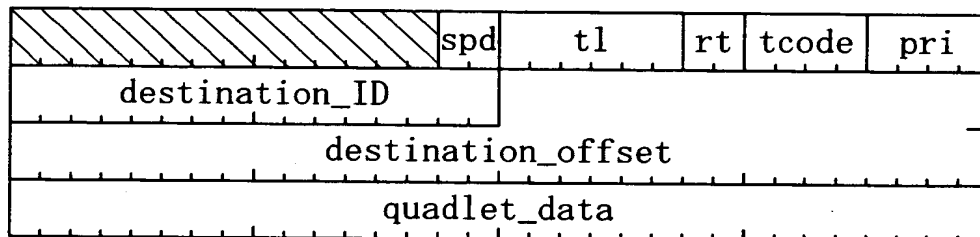
【図3】

Block write request transmit format



【図4】

Quadlet write request transmit format



【図 5】

Write response receive format

destination_ID	tl	rt	tcode	pri
source_ID	rcode			
		spd		
				ackSent

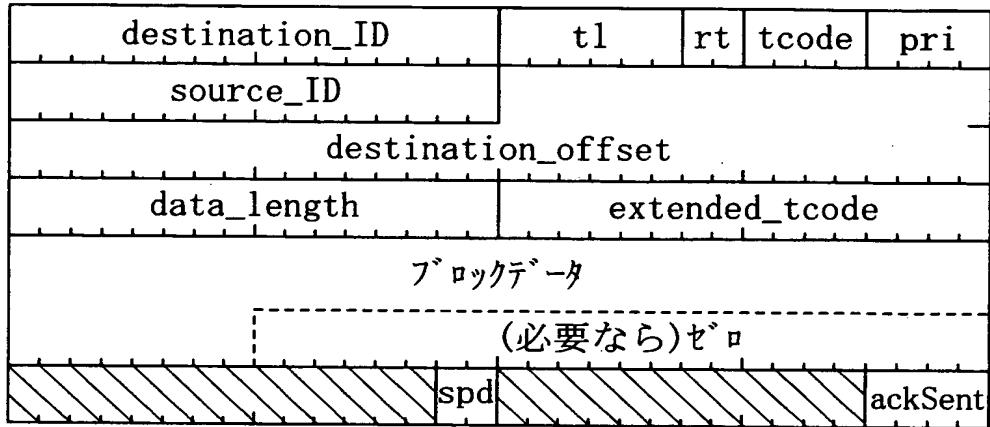
【図 6】

Block read request transmit format

				spd	tl	rt	tcode	pri
destination_ID								
destination_offset								
data_length								

【図 7】

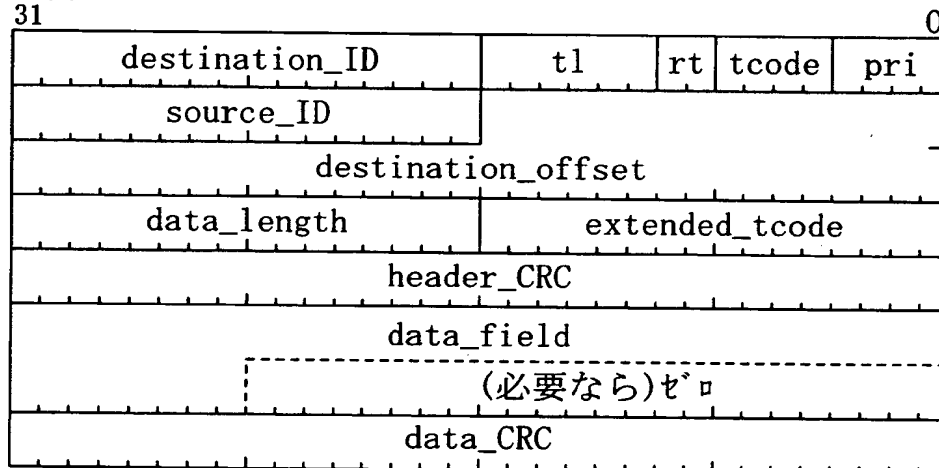
Block read response receive format



【図 8】

Write request for data block packet format

先頭
31

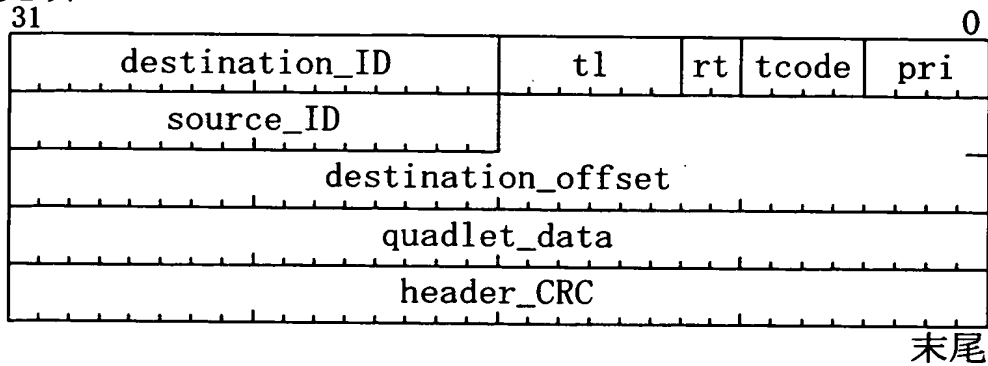


末尾

【図 9】

Write request for data quadlet packet format

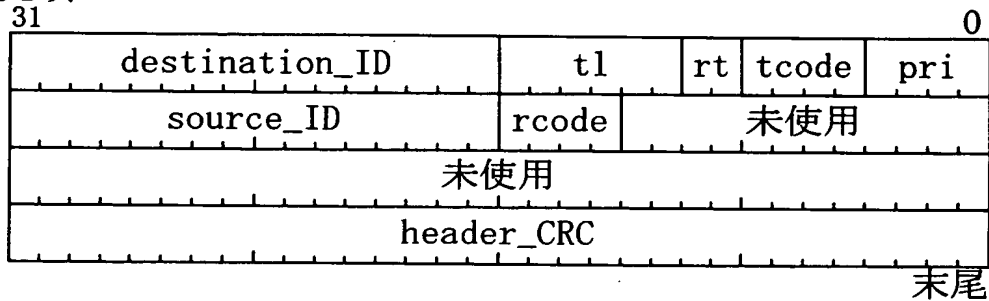
先頭



【図 1 0】

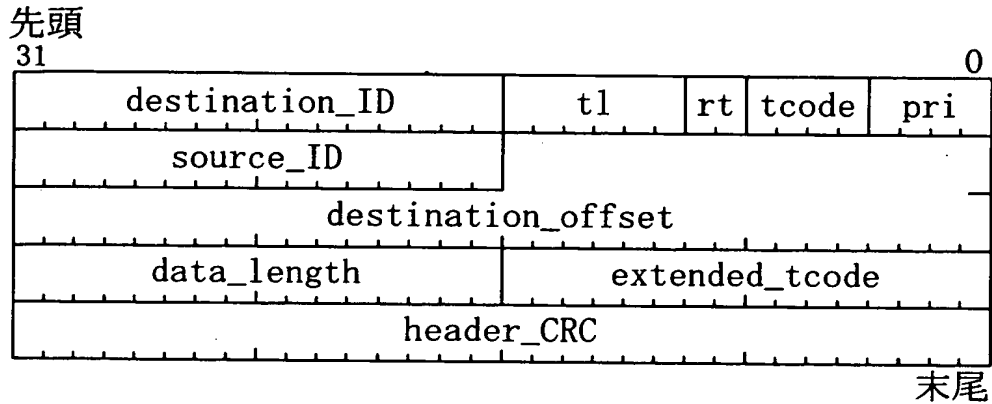
Write response packet format

先頭



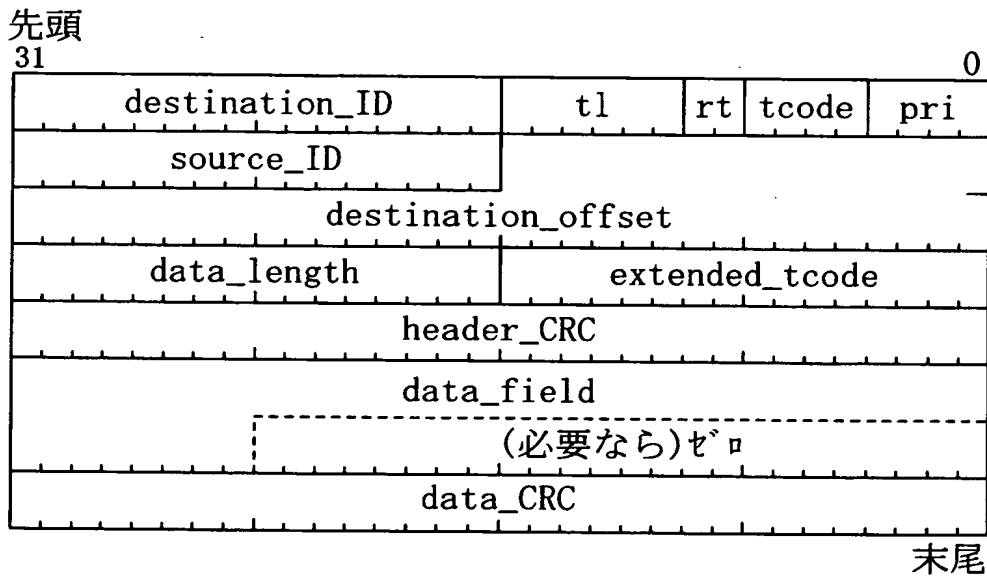
【図 1 1】

Read request for data block packet format

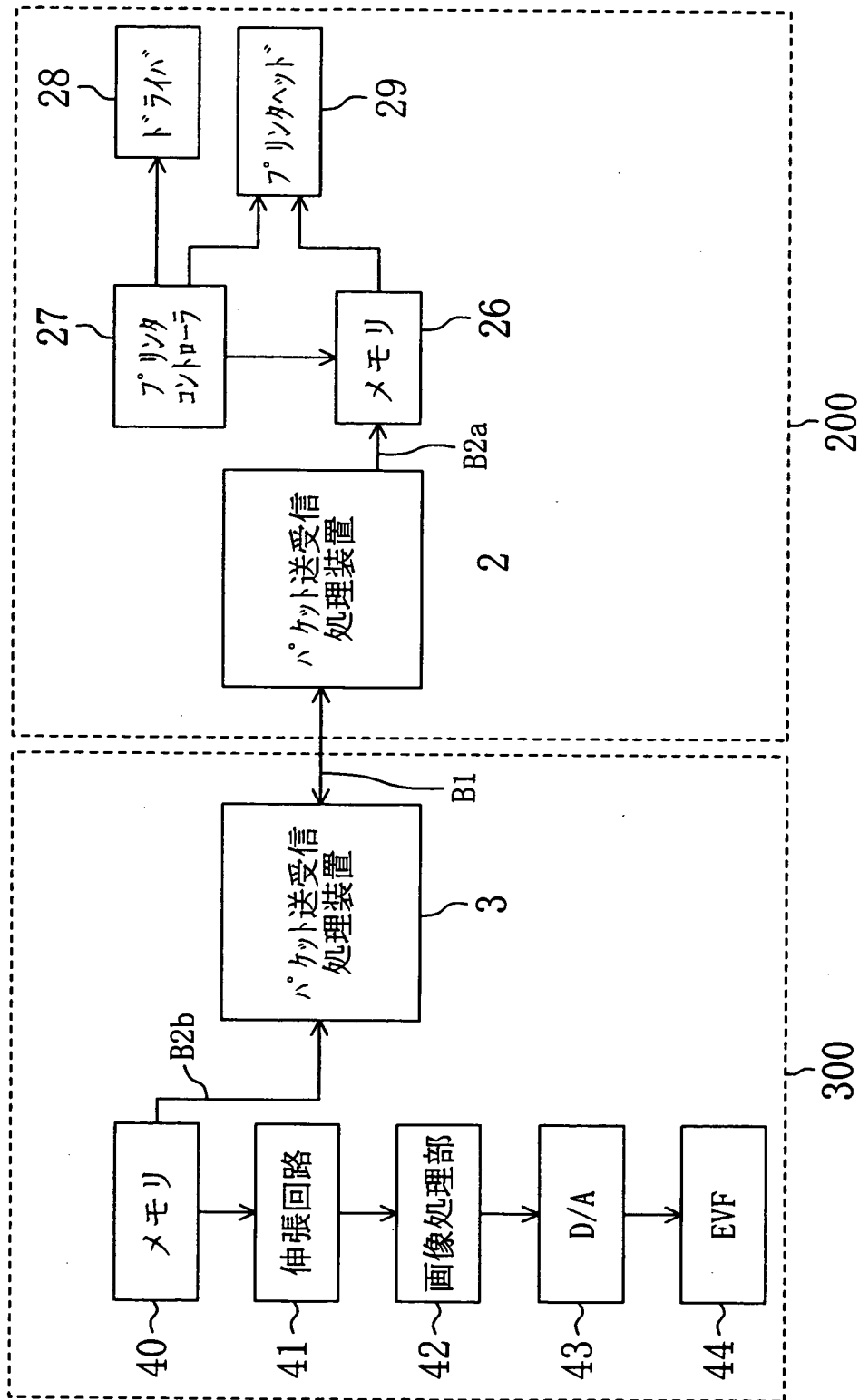


【図 1 2】

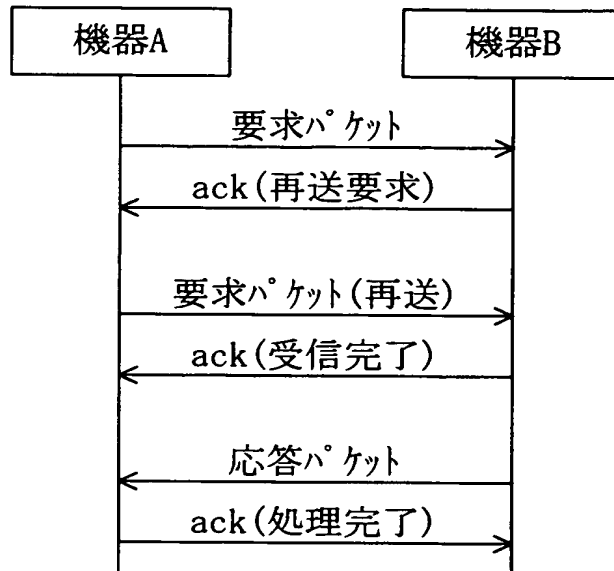
Read response for data block packet format



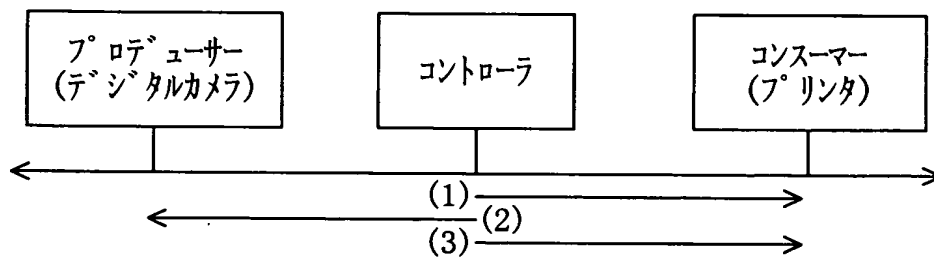
【図13】



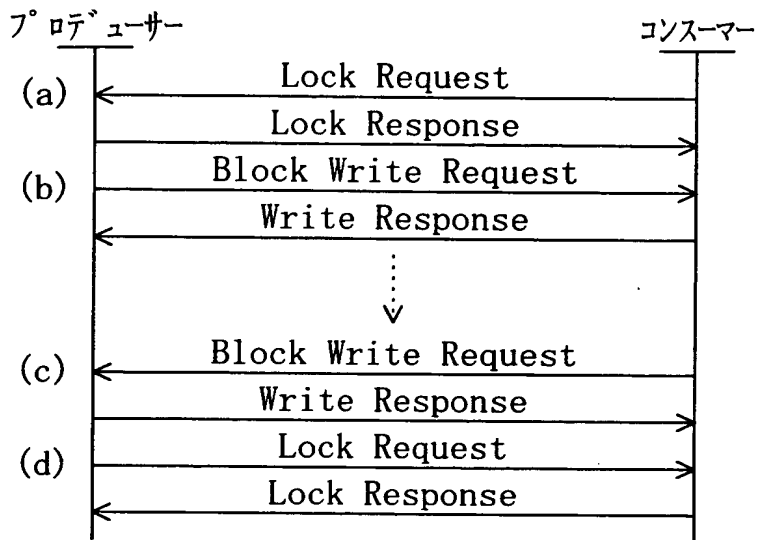
【図 1 4】



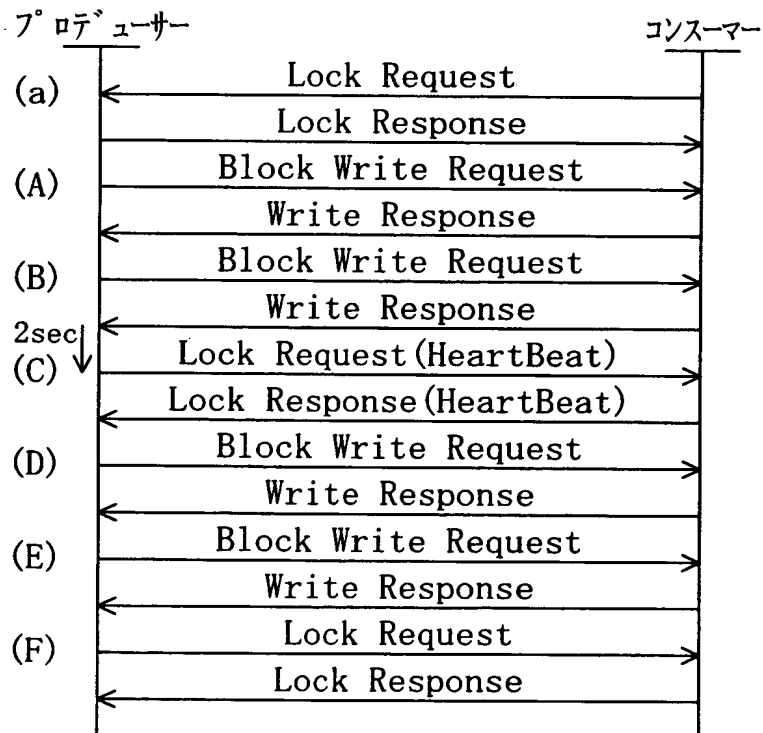
【図 1 5】



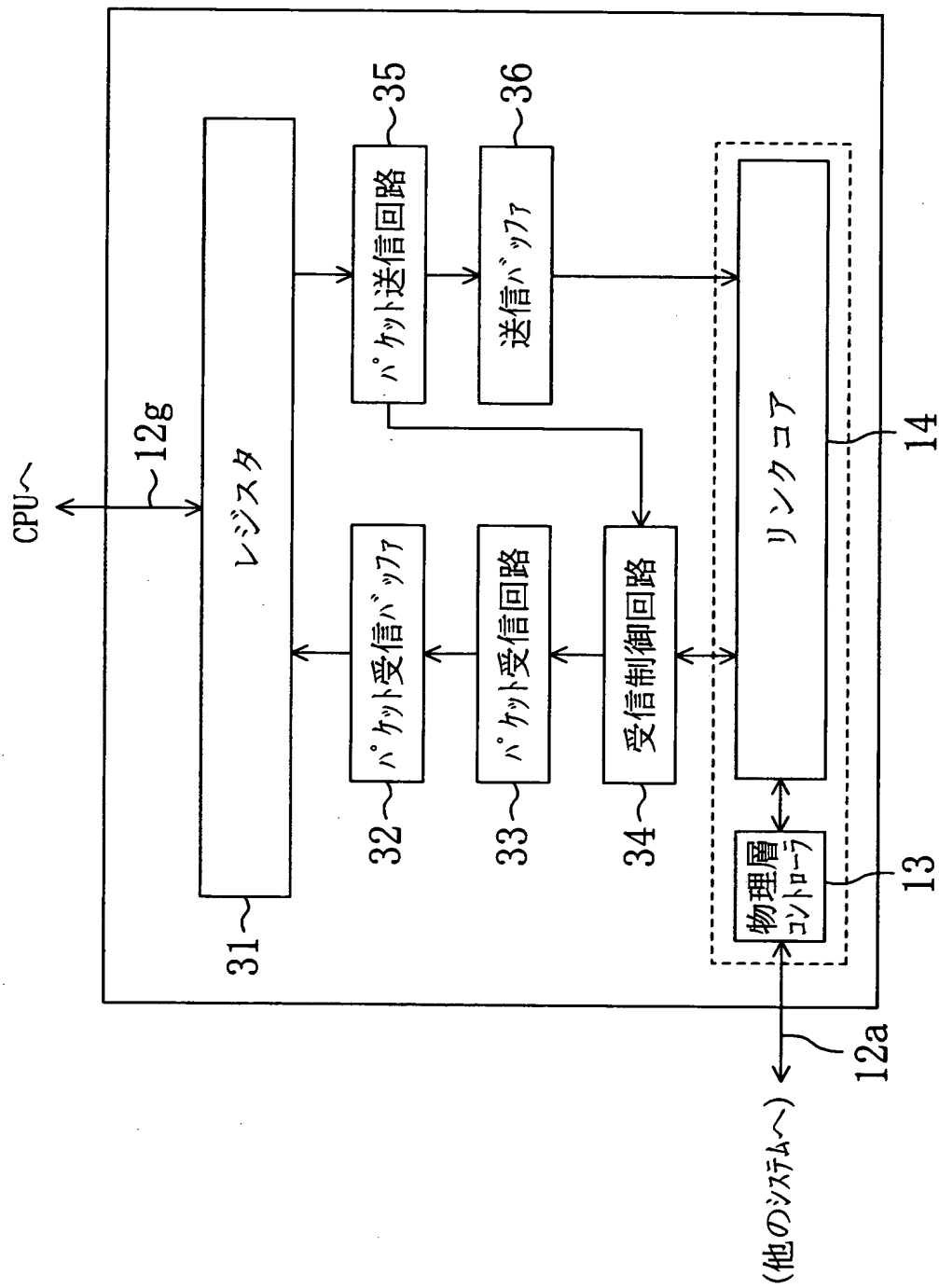
【図 1 6】



【図 1 7】



【図18】



【書類名】 要約書

【要約】

【課題】 A s y n c h r o n o u s C o n n e c t i o n に適したパケット送受信処理装置を提供する。

【解決手段】 コンシューマ側のパケット処理制御回路 2 0 が受信パケットを所定時間内に処理できなかった場合、パケット処理制御タイマ 2 2 は、タイムアウトを検出して C P U に知らせる。C P U は、レジスタ 2 1 を介して、パケット処理制御回路 2 0 にパケット処理一時停止命令、パケット送信命令を送る。パケット処理制御回路 2 0 は、現在処理しているパケット処理を一時中断し、W R S パケットのヘッダとデータとを生成する。W R S パケットは、バス B 1 からプロデューサ側に送信される。これにより、プロデューサに対してタイムアウトを生じさせることなくパケット処理を行うことができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社